

日本国特許庁
JAPAN PATENT OFFICE

別紙添付の書類に記載されている事項は下記の出願書類に記載されている事項と同一であることを証明する。

This is to certify that the annexed is a true copy of the following application as filed with this Office

出願年月日

Date of Application:

2002年 6月28日

出願番号

Application Number:

特願2002-191493

[ST.10/C]:

[JP2002-191493]

出願人

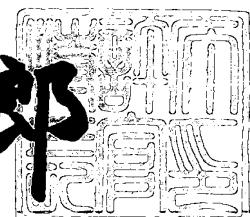
Applicant(s):

株式会社半導体エネルギー研究所

2003年 4月25日

特許庁長官
Commissioner,
Japan Patent Office

太田 信一郎



出証番号 出証特2003-3030040

【書類名】 特許願
【整理番号】 P006488
【提出日】 平成14年 6月28日
【あて先】 特許庁長官 及川 耕造 殿
【発明者】
【住所又は居所】 神奈川県厚木市長谷398番地 株式会社半導体エネルギー研究所内
【氏名】 下村 明久
【発明者】
【住所又は居所】 神奈川県厚木市長谷398番地 株式会社半導体エネルギー研究所内
【氏名】 中村 理
【発明者】
【住所又は居所】 神奈川県厚木市長谷398番地 株式会社半導体エネルギー研究所内
【氏名】 荒尾 達也
【発明者】
【住所又は居所】 神奈川県厚木市長谷398番地 株式会社半導体エネルギー研究所内
【氏名】 宮入 秀和
【発明者】
【住所又は居所】 神奈川県厚木市長谷398番地 株式会社半導体エネルギー研究所内
【氏名】 磯部 敦生
【発明者】
【住所又は居所】 神奈川県厚木市長谷398番地 株式会社半導体エネルギー研究所内
【氏名】 高野 圭恵

【発明者】

【住所又は居所】 神奈川県厚木市長谷398番地 株式会社半導体エネルギー研究所内

【氏名】 井上 弘毅

【特許出願人】

【識別番号】 000153878

【氏名又は名称】 株式会社半導体エネルギー研究所

【代表者】 山崎 舜平

【手数料の表示】

【予納台帳番号】 002543

【納付金額】 21,000円

【提出物件の目録】

【物件名】 明細書 1

【物件名】 図面 1

【物件名】 要約書 1

【ブルーフの要否】 要

【書類名】 明細書

【発明の名称】 半導体装置の作製方法

【特許請求の範囲】

【請求項1】

絶縁表面を有する基板上に形成した非晶質半導体層を加熱して結晶性半導体層を形成し、前記結晶性半導体層に一導電型不純物のイオン化物を30kV以下の加速電圧で注入し、その表面側に一導電型不純物が含まれる不純物領域を形成し、連続発振レーザー光を前記結晶性半導体層に照射して、溶融し再結晶化させると共に前記一導電型不純物を再分布させ、前記結晶性半導体層の表面側に前記一導電型不純物が偏析した高濃度不純物領域を除去して、前記一導電型不純物の濃度が、 $1 \times 10^{15} \sim 5 \times 10^{18}/\text{cm}^3$ であり、且つ、その濃度が平均値に対して±10%である結晶性半導体層を残存させ、当該結晶質半導体層で絶縁ゲート型電界効果トランジスタのチャネル部を形成することを特徴とする半導体装置の作製方法。

【請求項2】

絶縁表面を有する基板上に形成した非晶質半導体層に一導電型不純物のイオン化物を30kV以下の加速電圧で注入し、その表面側に一導電型不純物が含まれる不純物領域を形成し、連続発振レーザー光を前記結晶性半導体層に照射して、溶融し結晶化させると共に前記一導電型不純物を再分布させ、前記結晶性半導体層の表面側に前記一導電型不純物が偏析した高濃度不純物領域を除去して、前記一導電型不純物の濃度が、 $1 \times 10^{15} \sim 5 \times 10^{18}/\text{cm}^3$ であり、且つ、その濃度が平均値に対して±10%である結晶性半導体層を残存させ、当該結晶質半導体層で絶縁ゲート型電界効果トランジスタのチャネル部を形成することを特徴とする半導体装置の作製方法。

【請求項3】

絶縁表面を有する基板上に形成した非晶質半導体層をその結晶化を促進する金属元素を添加した後加熱して結晶性半導体層を形成し、前記結晶性半導体層に一導電型不純物のイオン化物を30kV以下の加速電圧で注入し、その表面側に一導電型不純物が含まれる不純物領域を形成し、連続発振レーザー光を前記結晶性半

導体層に照射して、溶融し再結晶化させると共に前記一導電型不純物を再分布させ、前記結晶性半導体層の表面側に前記一導電型不純物が偏析した高濃度不純物領域を除去して、前記一導電型不純物の濃度が、 $1 \times 10^{15} \sim 5 \times 10^{18}/\text{cm}^3$ であり、且つ、その濃度が平均値に対して±10%である結晶性半導体層を残存させ、当該結晶質半導体層で絶縁ゲート型電界効果トランジスタのチャネル部を形成することを特徴とする半導体装置の作製方法。

【請求項4】

絶縁表面を有する基板上に形成した非晶質半導体層にパルスレーザー光を照射してその一部または全部を結晶化して結晶性半導体層を形成し、前記結晶性半導体層に一導電型不純物のイオン化物を30kV以下の加速電圧で注入し、その表面側に一導電型不純物が含まれる不純物領域を形成し、連続発振レーザー光を前記結晶性半導体層に照射して、溶融し再結晶化させると共に前記一導電型不純物を再分布させ、前記結晶性半導体層の表面側に前記一導電型不純物が偏析した高濃度不純物領域を除去して、前記一導電型不純物の濃度が、 $1 \times 10^{15} \sim 5 \times 10^{18}/\text{cm}^3$ であり、且つ、その濃度が平均値に対して±10%である結晶性半導体層を残存させ、当該結晶質半導体層で絶縁ゲート型電界効果トランジスタのチャネル部を形成することを特徴とする半導体装置の作製方法。

【請求項5】

請求項1乃至4のいずれか一項において、前記連続発振レーザー光の光源に、YAGレーザー、YVO₄レーザー、YLFレーザー、YAlO₃レーザーから選ばれた一種を用いることを特徴とする半導体装置の作製方法。

【請求項6】

請求項1乃至4のいずれか一項において、前記結晶性半導体層の表面側に前記一導電型不純物が偏析した高濃度不純物領域を、40nm以上の厚さ除去することを特徴とする半導体装置の作製方法。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】

本発明は絶縁表面に形成された結晶性半導体層を有する半導体装置に関し、特

にレーザー光照射により結晶化した結晶性半導体層で絶縁ゲート型電界効果型トランジスタを構成した半導体装置に関する。

【0002】

【従来の技術】

絶縁表面を有する基板上に非晶質シリコン膜を形成し、レーザー光照射により結晶化して絶縁ゲート型電界効果型トランジスタを作製する技術は、アクティブマトリクス型の液晶表示装置に代表される平面型表示装置（フラットパネルディスプレイ）に応用されている。

【0003】

レーザー光の照射による非晶質半導体層の結晶化技術として、特開2001-144027号公報に開示されているようにNd:YVO₄レーザーなど固体レーザー発振装置を用いて、その第2高調波であるレーザー光を非晶質半導体層に照射して、従来に比べ結晶粒径の大きい結晶性半導体層を形成し、薄膜トランジスタ（TFT）を作製する技術が開示されている。

【0004】

また、関連する技術として「N. Sasaki et al, 2002 SID International Symposium Digest of Technical Papers, pp.154-157」では連続発振レーザーによるラテラル結晶成長技術について報告されており、その技術を用いて作製されたTFTにより、270MHzで動作するシフトレジスタが開示されている。

【0005】

上記文献で開示されている連続発振レーザー発振装置を用いるレーザーアニールは、エキシマレーザーに代表されるパルスレーザー発振装置を光源とする場合と比較して、半導体層がレーザー光により加熱される時間が長いという特徴がある。また、溶融した領域と固相領域との界面が基板表面と概略平行な方向に結晶成長が進むという特徴がある。

【0006】

【発明が解決しようとする課題】

レーザーアニールで結晶化した半導体層の厚さに依存して結晶粒径の大きさが変化することが知られている。TFTの特性は、結晶粒径の大形化に伴って高い

電界効果移動度を得ることができる。図2はその半導体層の厚さに対する電界効果移動度の変化を示すグラフであり、nチャネル型TFTの特性を示している。当該TFTはチャネルドープ（しきい値電圧の制御を主な目的とした一導電型不純物のドーピング）有り（白抜きの△）と無し（白抜きの□）の特性を示しているが、チャネルドープ無しの方が膜厚70～150nmの範囲において高い電界効果移動度が得られている。これに対し、チャネルドープ有りの特性は膜厚依存性が低くなっている。この差異はチャネルドープによってイオンが結晶に打ち込まれることにより、その結晶性が低下したことが原因と考えられる。

【0007】

しかしながら、オフリーク電流はチャネルドープをしない場合、半導体層の膜厚の増加に従って増加する傾向があり、オン・オフ比を十分とれないことが問題となっている。これはチャネルドープによりしきい値電圧を制御する他に、オフリーク電流を下げる効果があることを意味している。つまり、チャネルドープをしない場合、ゲート電圧が高くなってしまっても空乏層が十分広がらず、半導体層の深底部において非空乏化領域が存在し、そこがソースとドレイン間の電圧にのみ依存して電流が流れる所謂バックチャネルが形成されていることを意味する。このバックチャネルの形成は、絶縁表面を有する基板上に堆積した非晶質半導体層を結晶化させると、程度の差はあるもののn型の伝導性を示すことに起因している。

【0008】

図3～図6はこの現象を考察するために半導体層の厚さと電荷密度の関係についてシミュレーションした結果であり、半導体層の厚さが60nm（図3）、80nm（図4）、100nm（図5）、150nm（図6）の場合を仮定して計算した結果を示している。対象とする素子はシングルゲート構造のnチャネル型TFTを想定している。

【0009】

計算パラメータとして、ゲートに-10V、ドレインに+1Vを印加した場合を仮定すると、弱いn型の伝導性を示す半導体層中の多数キャリアである電子は反発してゲート絶縁膜の界面から遠ざかる。空乏層には正の電荷を有するドナーライオンが残存する。また、ゲート絶縁膜の界面には正孔が蓄積され反転層が形成さ

れる。図3で示すように半導体層の厚さが60nm程度であれば、ほぼ全体が空乏化するのに対し、半導体層の膜厚が60nm以上に厚くなると、ゲート絶縁膜界面から遠ざかる深い領域でゲート電圧の影響が及ばなくなり、負電荷が蓄積する領域が出現する。そして図4～図6を比較参照すると、半導体層の厚さが80nmから150nmに増加するに従い、その蓄積領域の厚さが増加することが示されている。

【0010】

バックチャネルはソース及びドレイン領域と同じ導電型の領域が形成され、ゲート電圧に依存しないでドレイン電流が流れる経路となり、TFTのオフ時にもドレイン電流（オフリーク電流）が発生する原因となっている。

【0011】

勿論、空乏層を広げるために反対の導電型であるアクセプタ不純物をドーピングすれば電気的に中性化することができるが、半導体層の膜厚増加に従いそれは困難となる。特に深い領域にアクセプタイオノンを注入するには高加速電圧で注入する必要があり、それに伴って結晶を壊して結晶性を低下させてしまう。また、半導体層を貫通して、下地の絶縁層にアクセプタイオノンが注入されると固定電荷となって、TFTのしきい値電圧を変動させる原因となり、キャリアトラップとなって特性変動の要因となるなど種々の不具合が発生する。さらに、イオン化した不純物を電界で加速して注入するイオン注入若しくはイオンシャワードーピングでは半導体層の深さ方向の全域に渡って均一に分布させることはできない。

【0012】

本発明は、このような問題点に鑑み成されたものであり、結晶性に優れ、高い電界効果移動度を実現すると共に、オフリーク電流を低減した絶縁ゲート型電界効果トランジスタ並びにそれを用いた半導体装置を提供することを目的とする。

【0013】

【課題を解決するための手段】

上記問題点を解決するために、本発明は、絶縁表面を有する基板上に形成した非晶質半導体層を結晶化させて結晶性半導体層を形成し、一導電型不純物のイオン化物を30kV以下の電界で加速して結晶性半導体層に注入してその表面側に一

導電型不純物が含まれる不純物領域を形成し、連続発振レーザー光を結晶性半導体層に照射して、溶融し再結晶化させると共に当該高濃度領域の一導電型不純物を再分布させる処理を行い、その結果、結晶性半導体層の表面側に一導電型不純物が偏析した高濃度不純物領域を除去して、一導電型不純物の濃度が 1×10^{15} ～ $5 \times 10^{18}/\text{cm}^3$ であり、且つ、その濃度が平均値に対して±10%である結晶性半導体層を残存させるものである。そして、この残存した結晶性半導体層を用いて絶縁ゲート型電界効果トランジスタのチャネル部を形成するように加工するものである。

【0014】

上記発明の構成において、非晶質半導体層の結晶化には加熱処理による結晶化、レーザーアニールによる結晶化、非晶質半導体層の結晶化を促進する作用のある金属元素を用いた結晶化法などを適用することができる。いずれにしても、加熱温度は非晶質半導体層が結晶化するのに十分な温度であれば良いが、基板の歪み点以下の温度とすることが必要である。また、結晶化を加熱処理ではなくレーザー光にて行う場合には、大出力が得られるエキシマレーザー発振装置を用いてレーザーアニールしても良い。

【0015】

一導電型不純物はn型化した結晶性半導体層の導電型を真性化するために注入するものであり、通常はアクセプタを注入する。注入法は質量分離を行って規定されたイオンのみを注入するイオン注入法や、イオン化した不純物を質量分離を必須要件とせずシャワー状に注入するイオンシャワードーピング法でも良い。これらの場合、アクセプタを提供するソースガスには B_2H_6 や BF_3 など公知の不純物ガスを用いることができる。加速電圧は結晶性半導体層の結晶性が著しく損なわれないエネルギーとし、好適には30kV以下とする。この程度の加速電圧であれば、イオン種は膜表面から100nm程度までしか到達せず、しかもガウス状の分布で深さ方向において急激に濃度が低下するので、結晶性の低下は膜表面近傍に止めることができる。

【0016】

一導電型不純物は非晶質半導体層に対して、またはそれを結晶化した結晶性半

導体層に対して行えば良く、いずれの場合にも同等な結果を得ることができる。一導電型不純物の添加量が多い場合には、その後の結晶化のし易さを勘案して結晶性半導体層、または一導電型不純物が注入されても結晶領域が残存する程度の半導体層に対して行う方が望ましいと考えられる。

【0017】

連続発振レーザー発振装置としては、固体レーザー発振装置を適用するのが好ましく、Cr、Nd、Er、Ho、Ce、Co、Ti又はTmがドーピングされたYAG、YVO₄、YLF、YAlO₃などの結晶を使ったレーザー発振装置を適用する。当該レーザー発振装置における基本波はドーピングする材料によって異なり、1 μm前後の基本波を有するレーザー光が得られる。基本波に対する高調波は、非線形光学素子を用いることで得ることが可能であり、前記レーザー発振装置を用いた場合には概略第2高調波で可視光域の波長が、第3高調波で紫外域の波長が得られる。代表的には、Nd:YVO₄レーザー（基本波1064nm）で、その第2高調波（532nm）や第3高調波（355nm）を適用する。

【0018】

そして、光学系により照射面にて矩形状または橢円形状のレーザー光に成形して、被処理体に照射する。このときのエネルギー密度は0.01~100MW/cm²程度（好ましくは0.1~10MW/cm²）が必要である。そして、0.5~2000cm/sec程度の速度でレーザー光に対して相対的に半導体層を移動させて照射する。これにより厚さ60nm以上で形成された半導体層は溶融し固化する過程で結晶化もしくは再結晶化すると共に、注入した一導電型不純物を再分布させることができる。勿論、溶融-固化の過程で偏析により膜表面に一導電型不純物の高濃度領域が形成されるが、その高濃度領域は概略10~50nm程度であり、その厚さ分だけエッティング除去または化学的機械研磨により研削除去すれば良い。すなわち、結晶性を低下させることなく厚さ60nm以上に半導体層に対して1×10¹⁵~5×10¹⁸/cm³であり、且つ、その濃度が平均値に対して±10%以内の濃度分布で一導電型の不純物を添加することができる。

【0019】

上記本発明の構成により、結晶性を低下させることなく結晶質半導体層の全体

に渡って、チャネル部に添加する一導電型不純物を膜の厚さ方向に渡って一定濃度で分布させることができが可能となり、高い電界効果移動度を実現可能な電界効果トランジスタを作製することができる。

【0020】

なお、本発明でいう非晶質半導体層とは、狭義の意味で完全な非晶質構造を有するものだけではなく、微細な結晶粒子が含まれた状態、又はいわゆる微結晶半導体層、局所的に結晶構造を含む半導体層を含む。代表的には非晶質シリコン膜が適用され、その他に非晶質シリコンゲルマニウム膜、非晶質シリコンカーバイト膜などを適用することもできる。

【0021】

【発明の実施の形態】

本発明の典型的な一態様は、一導電型不純物をイオン化し電界で加速して注入し、その表面近傍に高濃度不純物領域領域を形成した後、連続発振レーザー光を照射して溶融させ、結晶化または再結晶化する過程で当該不純物の濃度が半導体層中において一定となる領域を形成する方法である。連続発振レーザー光の照射に伴い、半導体層は非晶質相から結晶質相に変化しても良く、いずれにしても不純物元素の再分布という反応を伴うことが必要である。勿論、この過程では不純物が膜表面に偏析して高濃度領域が新たに形成されるが、その領域は化学的なエッチングまたは化学的機械研磨などにより除去すれば良い。

【0022】

図1は、厚さ150nmの結晶性シリコン膜に一導電型不純物としてH₂で1%に希釈されたB₂H₆をイオン化して得られたボロンのイオン化物を、質量分離せずに加速電圧15kV、ドーズ量 $2 \times 10^{14}/\text{cm}^2$ で注入し、連続発振レーザー光の照射前後での膜中濃度分布を二次イオン質量分析法で測定した結果を示している。連続発振レーザー光は、YVO₄レーザー発振装置を光源とし、その第2高調波(532nm)を用い、出力6Wのレーザー光を約500μm×20μmに集光したビームを25cm/secの速度で走査している。

【0023】

イオンの注入後におけるボロンは表面から100nmの領域に渡ってガウス分布

しており、表面近傍で高く深部になるに従い減少している。その結果、膜中の全体に渡ってボロンを分散させることができない。

【0024】

これに対し、連続発振レーザー光の照射によりボロンは再分布して膜表面に偏析してピーク値が $7 \times 10^{18}/\text{cm}^3$ に達する高濃度不純物領域を形成すると共に、 $3.5 \times 10^{17}/\text{cm}^3$ の濃度で一様に分布する領域が形成されていることが示されている。これは溶融-再結晶化に伴う現象であり、熱は基板側に放散するので、固化は下地絶縁膜の界面から起こり、その結果ボロンは最後に固化する表面側に偏析して高濃度不純物領域が形成される。

【0025】

結晶性シリコン膜の表面に形成された高濃度不純物領域はフッ素系のガスを用いたドライエッチングや、ヒドラジンなどアルカリ性溶液を用いたウェットエッチングまたは化学的機械研磨により、表面から $10 \sim 50 \text{ nm}$ の厚さを除去することができる。以上の工程は、ガラス基板に歪み点以下、具体的には 700°C 以下の処理温度にて行うことができる。

【0026】

上記本発明の主要な態様に基づく実施の形態を以下に示す。但し、本発明は多くの異なる態様で実施することが可能であり、本発明の趣旨及びその範囲から逸脱することなくその形態及び詳細を様々に変更し得ることは当業者であれば容易に理解される。従って、本発明は本実施の形態の記載内容に限定して解釈されるものではない。また、以下に示す実施形態の全体を通して同じ要素には同じ符号を付するものとする。

【0027】

(第1の実施形態)

図7は本発明の第1の実施形態による半導体装置の作製方法を説明する図である。図7(A)に示すように基板101上には窒化シリコン膜、酸化シリコン膜、窒酸化シリコン膜の単層又は積層体から成る下地絶縁膜102がされている。基板101となる部材はアルミノシリケートガラスなど市販品で無アルカリガラスと称されるガラス材料が適用可能である。その他に単結晶シリコンなど半導体

基板を適用することも可能である。

【0028】

非晶質半導体層103はシリコン又はシリコンにゲルマニウムを添加した非晶質材料を用いる。非晶質半導体層103の厚さは60～200nm、代表的には150nmの厚さで形成する。金属含有層104はこの非晶質半導体層の結晶化を600℃以下の温度で可能とし、結晶化を促進する触媒作用のある金属元素を用いる。そのような金属元素は特開2002-124685号公報などに開示されている。

【0029】

非晶質半導体層の結晶化方法は、加熱手段としてファーネスアニール炉、輻射熱又はガス加熱方式の瞬間熱アニール(RTA)炉を用いて行う。加熱温度は500～750℃であり、基板101が歪まないことを前提に加熱時間は60～18000秒の範囲で行い、結晶質半導体層105を形成する(図7(B))。

【0030】

次いで図7(C)で示すように、チャネルドーピングを目的としたイオンの注入を行う。一導電型不純物をイオン化し、電界で加速して半導体層中にイオンを注入する場合、加速電圧に応じて注入される不純物元素は分布をもって存在する。本発明のように30kV以下でイオンを注入する場合、図7(C)の挿入図で示すように不純物注入領域106は表面近傍に濃度のピークを有し、表面から深くなるに従いその濃度が減少するガウス型に近い分布をとる。注入する不純物濃度はそのピーク濃度で $1 \times 10^{15} \sim 5 \times 10^{18}/\text{cm}^3$ である。

【0031】

本実施形態において、チャネルドーピングをこの段階で行う理由は、金属元素を用いた加熱処理による結晶化は当該金属元素のシリサイド化を利用する反応であることに由来している。すなわち、半導体層中に異種元素が分布を持って含まれていると結晶化が一様に成されないので、本実施形態ではこの段階でチャネルドーピングを行うことが望ましい。

【0032】

その後、図7(D)で示すように連続発振レーザー光を照射して、不純物が注

入された結晶質半導体層105を溶融-再結晶化する。この処理により注入された不純物は再分布して、膜表面に偏析して一導電型不純物の高濃度層108が形成される。この高濃度層108の下層側には、深さ方向分布において $1 \times 10^{15} \sim 5 \times 10^{18}/\text{cm}^3$ であり、その濃度のばらつきは±10%で一導電型不純物を含む結晶性半導体層107が形成される（図7（D）挿入図参照）。これは溶融-再結晶化に伴う現象であり、熱は基板側101に放散するので固化は下地絶縁膜102の界面から起こり、その結果注入した不純物は最後に固化する表面側に偏析するためである。

【0033】

表面に形成された一導電型不純物の高濃度層108はエッチング処理により除去する。その厚さは10~60nmが適当である。残存する結晶質半導体層109は当初の膜厚よりもその分薄くなるが、上記の濃度で一定濃度で一導電型不純物を含ませることができる（図7（E））。

【0034】

なお、図7（D）～（E）までの過程で結晶化の際に用いた金属元素も、一導電型不純物と同様に表面に偏析するので、この処理により金属元素の濃度も同時に低減させることができる。

【0035】

こうして作製された結晶質半導体層を用いて電界効果型トランジスタのチャネル形成領域やソース及びドレインなど主要な構成部材を形成することができる。例えば、特開2002-083805号公報に記載の技術に従ってゲートオーバーラップLCD構造のTFTを作製することができる。

【0036】

（第2の実施形態）

図8は本発明の第2の実施形態による半導体装置の作製方法を説明する図である。図8（A）に示すように基板101上に下地絶縁膜102、非晶質半導体層103を形成する。

【0037】

まず、非晶質半導体層103に対してチャネルドーピングを目的としたイオン

の注入を行う。一導電型不純物のイオンを電界で加速して半導体層中に注入する場合、加速電圧に応じて注入不純物元素は分布をもって存在する。30kV以下でイオンを注入する場合、図8 (B) の挿入図で示すように、不純物注入領域110は表面近傍にピークを持ち表面から深くなるに従いその濃度が減少するガウス型に近い分布をとる。注入する不純物濃度は半導体層中におけるピーク濃度で $1 \times 10^{15} \sim 5 \times 10^{18}/\text{cm}^3$ である。

【0038】

その後、図8 (C) で示すように連続発振レーザー光を照射して、不純物が注入された非晶質半導体層103を溶融-結晶化して結晶性半導体層111を形成する。この処理により注入された不純物は再分布して、膜表面に偏析して一導電型不純物の高濃度層112が形成される。その下層側では第1の実施形態と同様に一導電型不純物が一様に分布する(図8 (C) 挿入図参照)。

【0039】

表面に形成された一導電型不純物の高濃度層112はエッチング処理により除去する。その厚さは10~60nmが適当である。残存する結晶質半導体層113は当初の膜厚よりもその分薄くなるが、 $1 \times 10^{15} \sim 5 \times 10^{18}/\text{cm}^3$ であり、その濃度のばらつきは±10%で一導電型不純物を含ませることができる(図8 (D))。

【0040】

こうして作製された結晶質半導体層を用いて電界効果型トランジスタのチャネル形成領域やソース及びドレインなど主要な構成部材を形成することができる。例えば、特開2002-083805号公報に記載の技術に従ってゲートオーバーラップLDD構造のTFTを作製することができる。

【0041】

(第3の実施形態)

図9は本発明の第3の実施形態による半導体装置の作製方法を説明する図である。図9 (A) に示すように基板101上に下地絶縁膜102、非晶質半導体層103を形成する。

【0042】

まず、非晶質半導体層103に対しパルスレーザー光を照射して結晶化させる。パルスレーザー光の光源としてはパルス発振する気体レーザー、固体レーザーのいずれを適用しても構わない。具体的にはエキシマレーザー発振装置、YAGレーザー発振装置、YVO₄レーザー発振装置、YLFレーザー発振装置などが適用可能である。発振周波数は10～300Hz、発振パルス幅は20～100ns程度とすれば良い。非晶質半導体層はパルスレーザー光照射領域の全部が、又は部分的に溶融して結晶化する。結晶性半導体膜114の表面に形成される凹凸は最大で膜厚と同程度となり、表面の平坦性は喪失するが、これはパルスレーザー光を用いる場合に良く見られる現象である（図9（B））。

【0043】

その後、チャネルドーピングを目的としたイオンの注入を行う（図9（C））。一導電型不純物のイオン化物を電界で加速して半導体層中に注入する場合、加速電圧に応じて注入不純物元素は分布をもって存在する。本発明のように30kV以下でイオンを注入する場合、図9（C）の挿入図で示すように、不純物注入領域115は表面近傍にピーグを持ち表面から深くなるに従いその濃度が減少するガウス型に近い分布をとる。注入する不純物濃度は半導体層中におけるピーク濃度で $1 \times 10^{15} \sim 5 \times 10^{18}/\text{cm}^3$ である。

【0044】

さらに図9（D）で示すように、連続発振レーザー光を照射して不純物が注入された結晶質半導体層115を溶融-再結晶化する。この処理により注入された不純物は再分布して、膜表面に偏析して一導電型不純物の高濃度層117が形成される。この高濃度層117の下層側には、深さ方向分布において $1 \times 10^{15} \sim 5 \times 10^{18}/\text{cm}^3$ であり、その濃度のばらつきは±10%で一導電型不純物を含む結晶性半導体層116が形成される。また、この溶融-再結晶化の過程で結晶性半導体膜の表面は平坦化させることができる（図9（D）挿入図参照）。

【0045】

表面に形成された一導電型不純物の高濃度層117はエッティング処理により除去する。その厚さは10～60nmが適当である。残存する結晶質半導体層118は当初の膜厚よりもその分薄くなるが、上記の濃度で一定濃度で一導電型不純物

を含ませることができる（図9（E））。

【0046】

本実施の形態において作製された結晶質半導体層を用いても、同様にTFTを作製することが可能であり、それを絶縁表面を有する基板上に作り込んでアクティブラーマトリクス型液晶表示装置をはじめとする各種半導体装置を作製することができる。

【0047】

（第4の実施形態）

本発明に係る第4の実施形態は、上記第1の実施形態～第3の実施形態において作製された結晶性半導体層を用いてTFTを作製する一例について示す。

【0048】

まず、図10（A）に示すように、第1の実施形態～第3の実施形態のいずれかの方法により基板101の下地絶縁膜102上に作製された結晶性シリコン膜から、所望の形状にエッチング処理し島状に孤立分離した半導体層201～203を形成する。これらの半導体層201～203は、チャネル形成領域、ソース及びドレイン領域、低濃度不純物領域などを作り込みTFTの主要な構成要素となる。結晶性シリコン膜をエッチングするには、ドライエッチング法を用いてCF₄とO₂の混合ガスをエッチングガスとして用い、ゲート絶縁膜の被覆性を良くするために、半導体層201～203の端部に30～60度のテーパー角が付くように加工する。

【0049】

次いで、図10（B）で示すように、半導体層201～203上にゲート絶縁膜を形成する酸化シリコン膜204、窒化シリコン膜205を高周波マグнетロンスパッタリング法で形成し、ゲート電極を形成する第1導電膜206、第2導電膜207の4層を大気に触れさせることなく減圧下にて連続的に形成する。

【0050】

まず、半導体層201～203の表面の清浄化と平滑化処理を、オゾン水含有水溶液による酸化処理及びフッ酸含有水溶液による酸化膜除去処理を行い、半導体層の表面をエッチングして表層部を除去する。この処理により半導体層201

～203の最表面がエッティングされて水素で終端された清浄で不活性な表面を形成することができる。ゲート絶縁膜の成膜段階では、基板及び基板表面に付着している水分を離脱させ清浄化するために100～200℃の加熱処理を減圧下で行う。

【0051】

本実施形態におけるゲート絶縁膜は、高周波マグнетロンスパッタリング法によりシリコンをターゲットとして形成される酸化シリコン膜204と、窒化シリコン膜205の二層積層構造である。酸化シリコン膜の主な膜形成条件は、スパッタガスにO₂とArを用い、基板加熱温度100～200℃として10～60nmの厚さで形成する。この条件により半導体層と界面準位密度が低く、緻密な酸化シリコン膜204を形成することができる。窒化シリコン膜205は、スパッタガスにN₂とArを用い、同様に100～200℃に加熱して10～30nmの厚さに形成する。酸化シリコンの比誘電率3.8に対し窒化シリコンの比誘電率は約7.5であるので、酸化シリコン膜で形成するゲート絶縁膜に窒化シリコン膜を含ませることで、実質的にはゲート絶縁膜の薄膜化を図ると同等の効果を得ることができる。ゲート絶縁膜において酸化シリコン膜と窒化シリコン膜の2層構造とすることで、当該ゲート絶縁膜の全厚さを30～80nmとしてもゲートリーア電流を低減させ、2.5～10V、代表的には3.0～5.5VでTFTを駆動させることができる。

【0052】

この様に本実施形態では二層構造のゲート絶縁膜を採用するが、勿論、プラズマCVD法によりTEOSを用いて形成する酸化シリコン膜や、SiH₄と窒酸化物ガスを反応させて形成する窒酸化シリコン膜を用いても良い。

【0053】

さらに、ゲート絶縁膜とゲート電極界面の汚染物も、しきい値電圧などを変動させる原因となるのでゲート絶縁膜を形成した後、続けて膜厚10～50nmの窒化タンタル(TaN)から成る第1導電膜206と、膜厚100～400nmのタンゲステン(W)から成る第2導電膜207とを積層形成する。

【0054】

ゲート電極はこの積層膜を加工して形成するが、その他に適用可能な導電性材料としてはTa、W、Ti、Mo、Al、Cuから選ばれた元素、または当該元素を主成分とする合金材料もしくは化合物材料で形成する。また、リン等の不純物元素をドーピングした多結晶シリコン膜に代表される半導体層を用いてもよい。また、第1導電膜をタンタル(Ta)膜で形成し、第2導電膜をW膜とする組み合わせ、第1導電膜を窒化タンタル(TaN)膜で形成し、第2導電膜をAl膜とする組み合わせ、第1導電膜を窒化タンタル(TaN)膜で形成し、第2導電膜をCu膜とする組み合わせとしてもよい。

【0055】

次に、図10(C)に示すように、写真蝕刻をしてゲート電極のパターンを形成するレジストマスク208を形成する。その後、ドライエッチング法により第1エッチング処理を行う。エッチング用ガスに限定はないが、WやTaNのエッチングにはCF₄とCl₂とO₂とを用いると良い。第1エッチング処理では、基板側には所定のバイアス電圧を印加して、形成される第1形状のゲート電極パターン209の側面に15～50度の傾斜角を持たせる。エッチング条件にもよるが、第1エッチング処理によりゲート絶縁膜として形成された窒化シリコン膜205は、第1形状のゲート電極パターン209の下部において残存し、その他の領域では酸化シリコン膜204が露出する。

【0056】

この後、第2エッチング条件に変え、エッチング用ガスにSF₆とCl₂とO₂とを用い、基板側に印加するバイアス電圧を所定の値として、W膜の異方性エッチングを行う。こうして、ゲート電極210を形成する。その後、レジストマスク208は除去する(図10(D))。

【0057】

ゲート電極は第1導電膜206と第2導電膜207との積層構造体であり、第1導電膜206が底のように突出した帽子型(ハットシェイプ)の構造となっている。その後、図10(E)で示すようにドーピング処理を行い、各半導体層に不純物領域を形成する。ドーピング条件は適宜設定すれば良い。半導体層201に形成される第1n型不純物領域212は低濃度ドレインを形成し、第2n型不

純物領域213はソース又はドレイン領域を形成する。半導体層202に形成される第1p型不純物領域215はゲート電極とオーバーラップするソース又はドレインを形成し、第2p型不純物領域216はソース又はドレイン領域を形成する。それぞれの半導体層におけるチャネル形成領域211、214はゲート電極210の第2導電膜とほぼ重なる位置に形成されることになる。また、半導体層203は容量部を形成する部材として適用し、第2n型不純物領域又は第2p型不純物領域と同じ濃度で不純物が添加される。

【0058】

そして、図11(A)に示すように水素を含有する酸化窒化シリコン膜217をプラズマCVD法により50nmの厚さで形成し、さらに350～550℃の加熱処理により半導体層の水素化を行う。

【0059】

層間絶縁膜218はアクリル又はポリイミドなどを主成分とする感光性の有機樹脂材料で所定のパターンに形成している。そして、ドライエッチングによりコントラクトホール277を形成する(図11(B))。

【0060】

その後、図11(C)で示すように、A1、Ti、Mo、Wなどを用いて配線219～221を形成する。配線構造の一例は、膜厚50～250nmのTi膜と、膜厚300～500nmの合金膜(A1とTiとの合金膜)との積層膜を用いる。

【0061】

こうして、nチャネル型TFT301、pチャネル型TFT302、容量部303を形成することができる。各TFTにおいてはゲート絶縁膜に少なくとも1層の窒化シリコン膜が含まれている。また、容量部303において、誘電体膜として少なくとも一層の窒化シリコン膜が含まれている。

【0062】

(第5の実施形態)

本実施形態は、第4の実施形態により得られたTFTを用いてアクティブマトリクス型の液晶表示装置やアクティブマトリクス型のEL表示装置を作製する一

例について示す。

【0063】

図12は本発明の結晶性半導体層を用いたTFTにより液晶表示装置の画素を構成した一例を示す上面図であり、図13は図12に示すA-A'線に対応する縦断面図である。

【0064】

図12は画素を構成する主な要素としてTFT304とそれに接続する画素電極228の他に、走査信号線225、データ信号線227、保持容量部305が配設されている形態を示している。図13の縦断面図においてTFT304はLDD構造を有している。このTFTの作製工程は第4の実施形態と同様であるが、半導体層221にはソース又はドレイン領域223と低濃度ドレイン領域222が形成されたLDD構造となっている（この製造工程に関しては特願2001-011085号出願に記載されている）。保持容量部305は半導体層222と、ゲート絶縁膜と同層である酸化シリコン膜224と走査信号線226の重畠部によって形成している。層間絶縁膜は窒化シリコン膜217と有機樹脂膜218で形成され、その上層にデータ信号線227、画素電極228が形成されている。図13（B）は液晶233を封入した状態であり、対向基板230には共通電極231が形成され、配向膜229、231を介して液晶233が挟持される。

【0065】

図14は本発明の結晶性半導体層を用いたTFTによりEL表示装置の画素を構成した一例を示す上面図であり、図15は図14に示すB-B'線に対応する縦断面図である。

【0066】

図14で示す画素はTFT306～308の3つのTFTが備えられ、TFT306には画素電極235と電源線236が接続し、TFT307にはデータ線号線237が接続し、TFT308には電源線236と接続している。この画素構成において、TFT306はEL素子に接続する駆動用のTFTであり、TFT307、308は信号を制御するスイッチング用のTFTである。特に主要な

構成要素であるTFT306は、B-B'線に対応する図15(A)の縦断面図においてその詳細な構造が示されている。TFT306はpチャネル型TFTであり、その作製工程は第4の実施形態と同様である。層間絶縁膜は窒化シリコン膜217と有機樹脂膜218で形成され、その上層に電源線236、画素電極235が形成されている。

【0067】

EL素子309は、画素電極235上に仕事関数が4eV以上で非透光性の金属層239（例えば窒化チタンなど）を形成し、有機化合物又は有機化合物と無機化合物の積層体若しくは混合体でなるEL層240、仕事関数が4eV以下で透光性の金属層241で形成されている。さらに、窒化シリコン膜、酸化アルミニウム膜、または酸窒化アルミニウム膜による保護膜242が形成されている。この保護膜の形態において、高周波スパッタリングで形成される窒化シリコン膜を適用すると良い。図15(B)は封止板243を固着した場合の構成であり、封止板243と保護膜242との間には透光性の樹脂層244が形成されている。前述の窒化シリコン膜は保護膜242はこの樹脂層218から放出される有機物系ガス、酸素、水分が侵入するのを防ぐことができる。

【0068】

図16はこのような画素を有する表示装置600の構成を示す図であり、液層の電気光学的作用またはEL層の発光により画像を表示する画素部601、走査線信号駆動回路602、データ線信号駆動回路603が備えられている。その他に、I/Oポート604、CPU605、シリアルインターフェース606、電源回路607、RAM608、映像信号制御回路609、ビデオRAM610、DAC/ADC611、タイマカウンタ回路612などを本発明による結晶性半導体膜を用いたTFTで同一ガラス基板上に一体形成することも可能である。

【0069】

(第6の実施形態)

本発明により作製される代表的な半導体装置としてマイクロコンピュータの一実施形態を図17と図18を用いて説明する。図17に示すように、0.1~1.1mmの厚さのガラス基板上に各種の機能回路部を集積してマイクロコンピュー

タを実現することができる。各種の機能回路部は実施の形態1～4により作製されるTFTや容量部を主体として形成することが可能である。

【0070】

図17で示すマイクロコンピュータ700の要素としては、CPU701、ROM702、割り込みコントローラ703、キャッシュメモリー704、RAM705、DMAC706、クロック発生回路707、シリアルインターフェース708、電源発生回路709、ADC/DAC710、タイマカウンタ711、WDT712、I/Oポート702などである。

【0071】

ガラス基板上に形成されたマイクロコンピュータ700は、図18で示すように、セラミックやFRP（繊維強化プラスチック）のベース801にフェースダウンボンディングで固着される。マイクロコンピュータ700のガラス基板の裏面には、

酸化アルミニウム、窒酸化アルミニウム、窒化硼素、ダイヤモンドカーボンなど熱伝導層803が被覆されて熱放散効果を高めている。さらにこれに接してアルミニウムで形成される放熱フィン804が設けられ、マイクロコンピュータ700の動作に伴う発熱対策としている。全体は封止樹脂805で覆われ、外部回路との接続はピン802により行う。

【0072】

本実施の形態ではマイクロコンピュータの形態を一例として示したが、各種機能回路の構成や組み合わせを換えれば、メディアプロセッサ、グラフィクス用LSI、暗号LSI、メモリー、グラフィクス用LSI、携帯電話用LSIなど様々な機能の半導体装置を完成させることができる。

【0073】

【発明の効果】

上記本発明の構成により、TFTを形成する結晶質半導体層において、チャネル形成領域に添加する一導電型不純物を当該半導体層の厚さ方向に渡って一定濃度で分布することが可能となり、オフリーケ電流を低減し、高い電界効果移動度を実現可能な電界効果トランジスタを得ることができる。

【図面の簡単な説明】

【図1】 連続発振レーザー光の照射前後における半導体層に注入したボロンの濃度分布を示すグラフ。

【図2】 TFTの電界効果移動度に対する半導体層膜厚依存性を示すグラフ（チャネルドープ有り無し）。

【図3】 シリコン膜厚60nmの場合の電荷密度分布をシミュレーションした結果を示すグラフ。

【図4】 シリコン膜厚80nmの場合の電荷密度分布をシミュレーションした結果を示すグラフ。

【図5】 シリコン膜厚100nmの場合の電荷密度分布をシミュレーションした結果を示すグラフ。

【図6】 シリコン膜厚150nmの場合の電荷密度分布をシミュレーションした結果を示すグラフ。

【図7】 本発明の結晶性半導体膜の作製工程を説明する縦断面図。

【図8】 本発明の結晶性半導体膜の作製工程を説明する縦断面図。

【図9】 本発明の結晶性半導体膜の作製工程を説明する縦断面図。

【図10】 本発明におけるTFTの作製工程を示す縦断面図。

【図11】 本発明におけるTFTの作製工程を示す縦断面図。

【図12】 本発明により作製される液晶表示装置の画素の構成を示す上面図。

【図13】 本発明により作製される液晶表示装置の画素の構成を示す縦断面図

【図14】 本発明により作製されるEL表示装置の画素の構成を示す上面図。

【図15】 本発明により作製されるEL表示装置の画素の構成を示す縦断面図

【図16】 本発明により作製される表示装置の構成を示すブロック図。

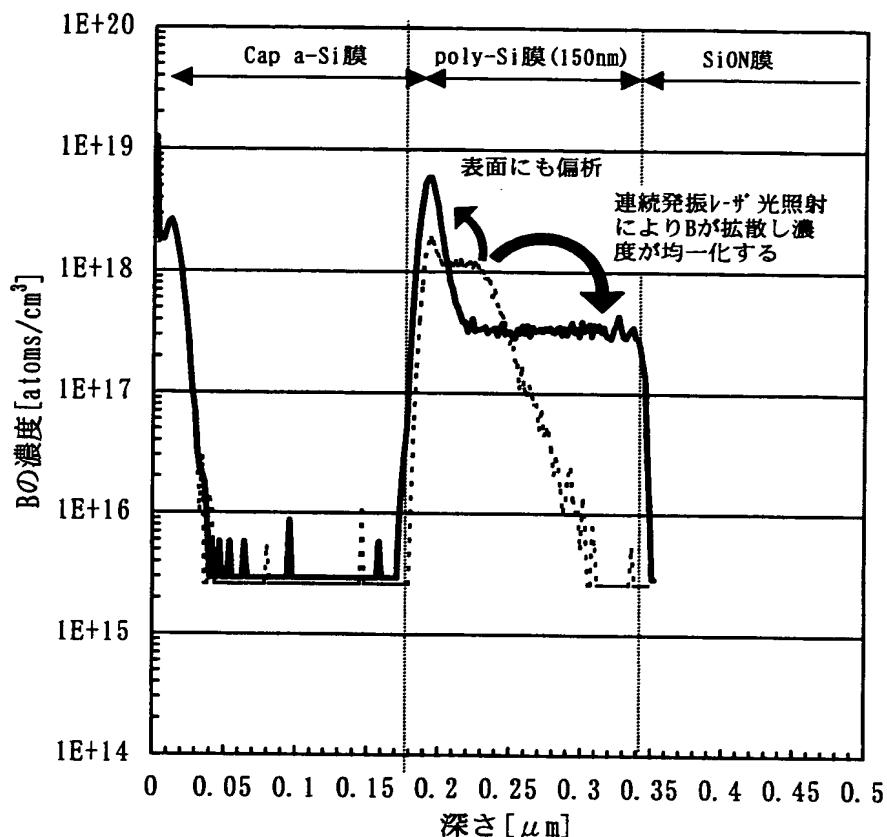
【図17】 本発明により作製されるマイクロコンピュータの形態を示すブロック図。

【図18】 本発明により作製されるマイクロコンピュータの形態を示す断面図

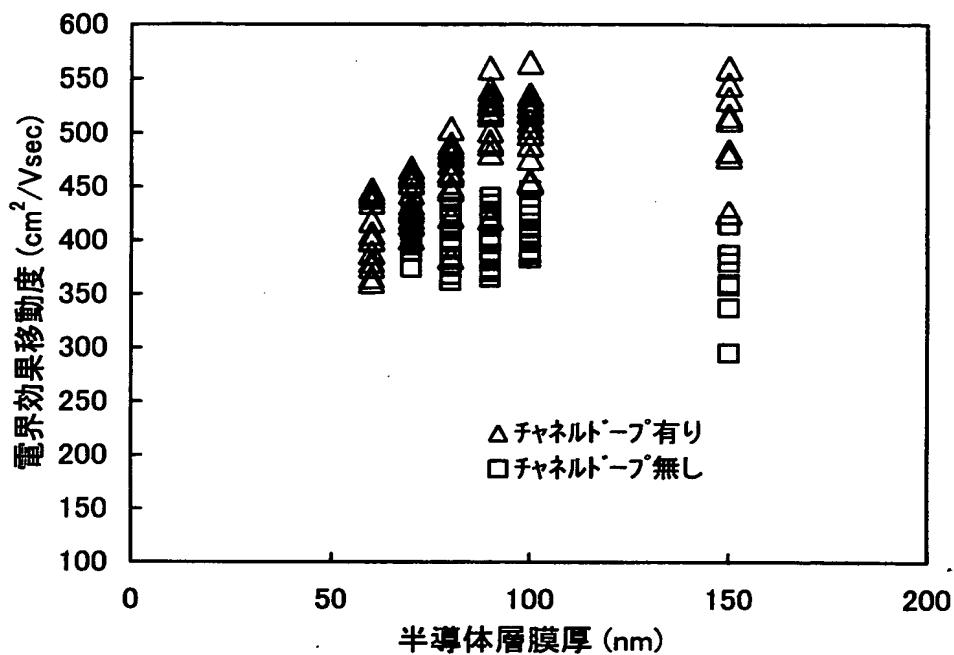
特2002-191493

【書類名】 図面

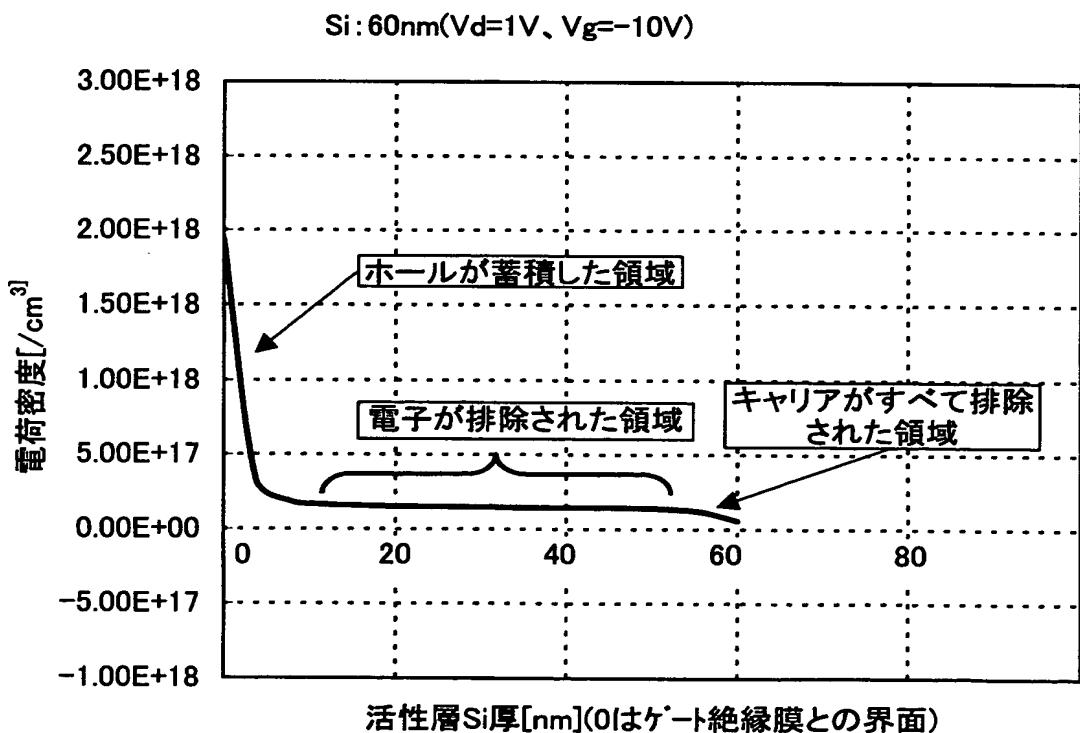
【図1】



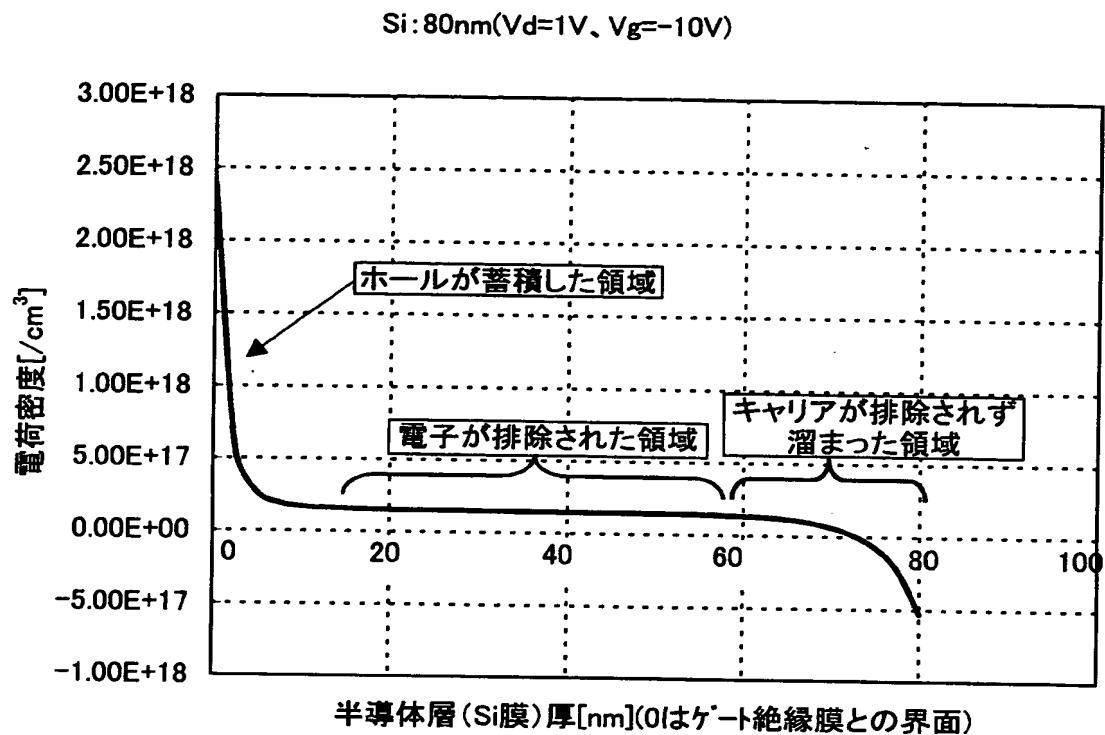
【図2】



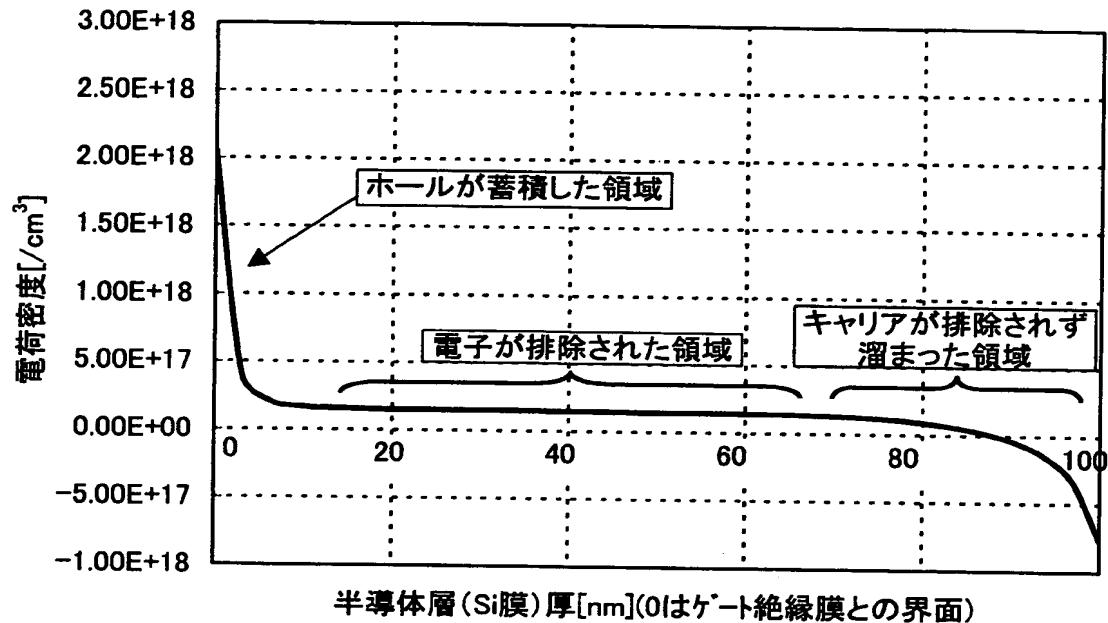
【図3】



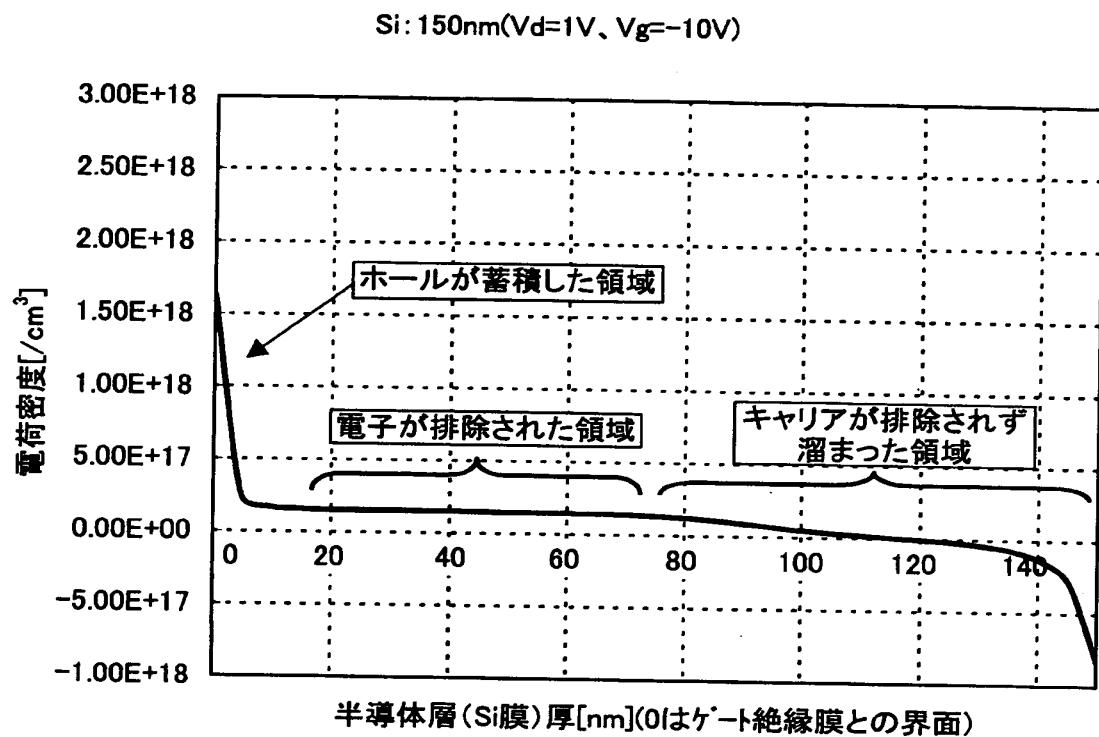
【図4】



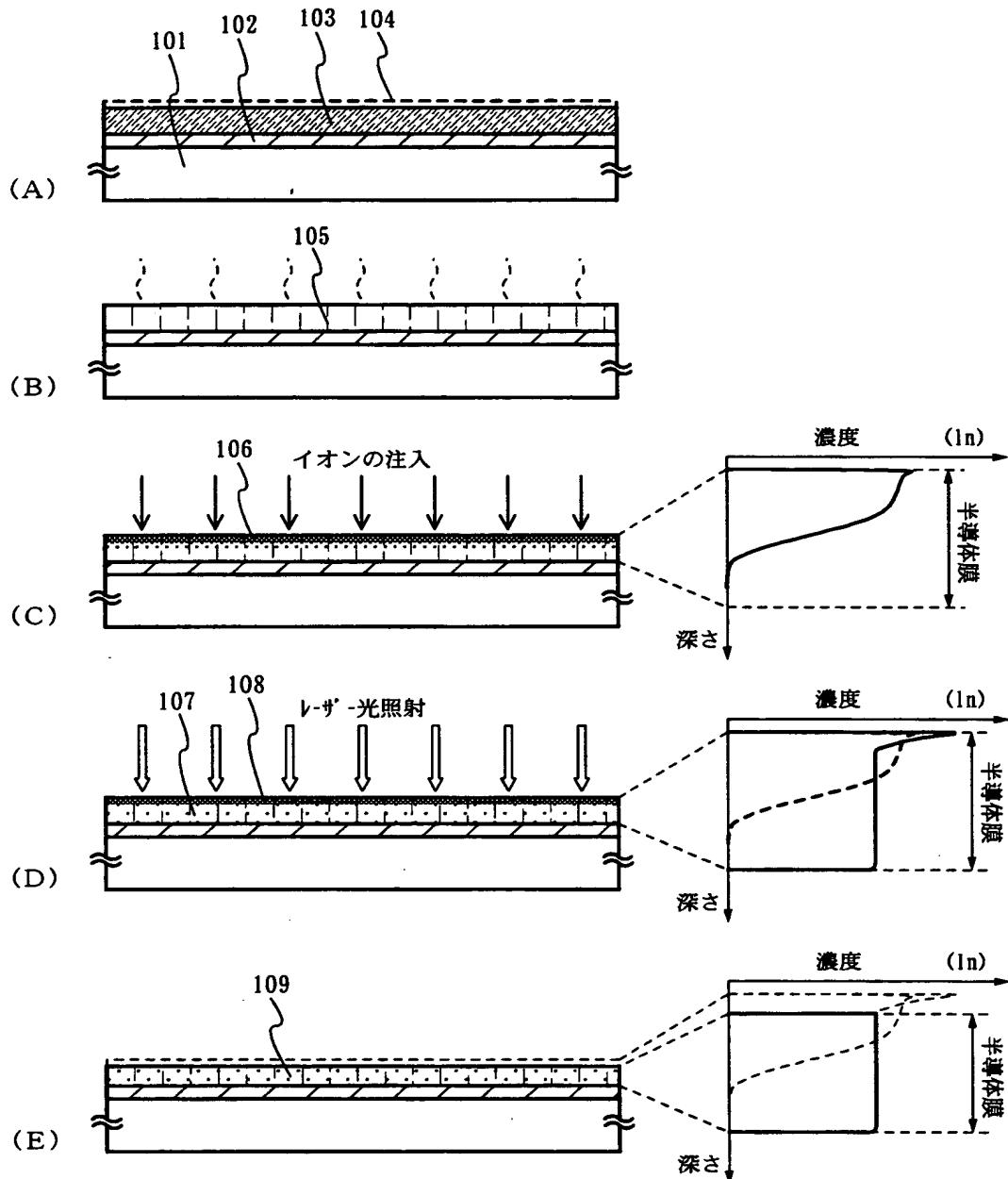
【図5】

Si: 100nm($V_d=1V$ 、 $V_g=-10V$)

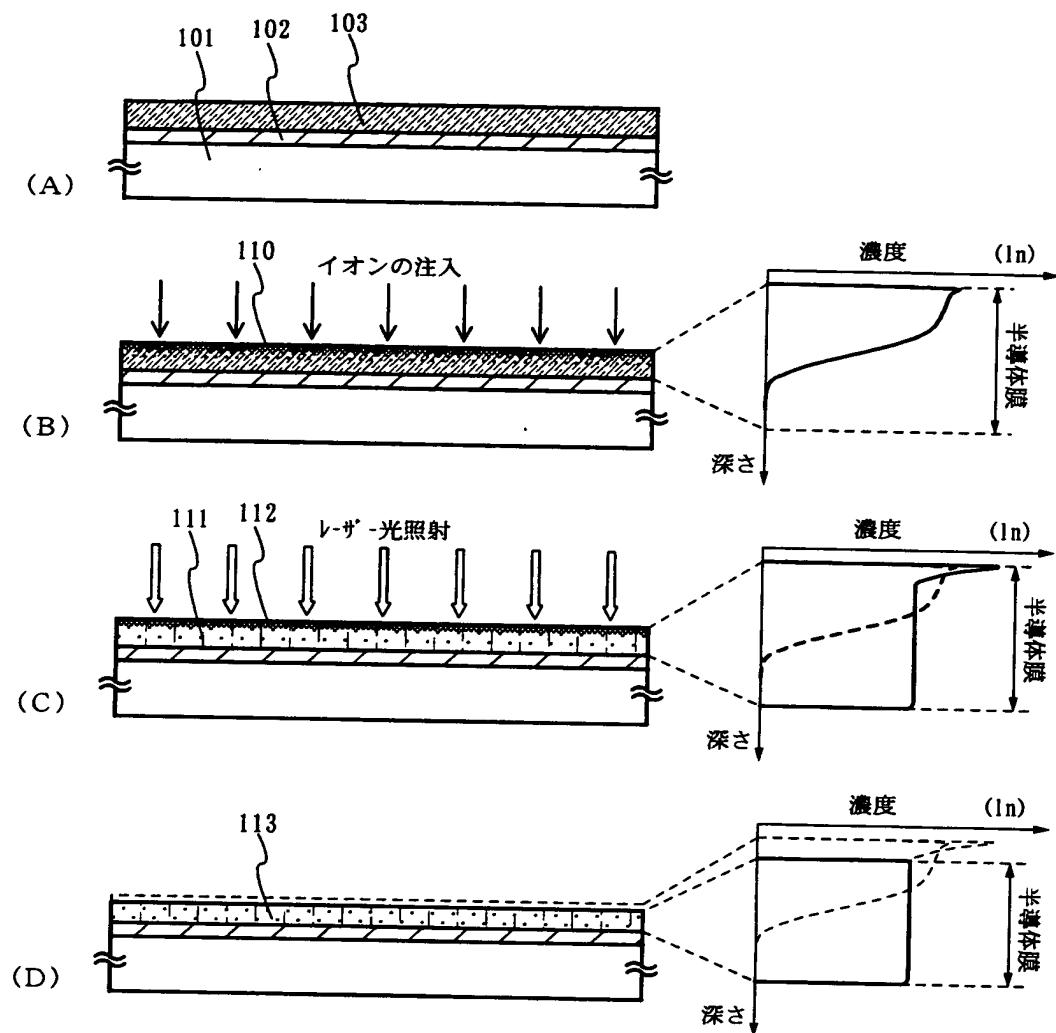
【図6】



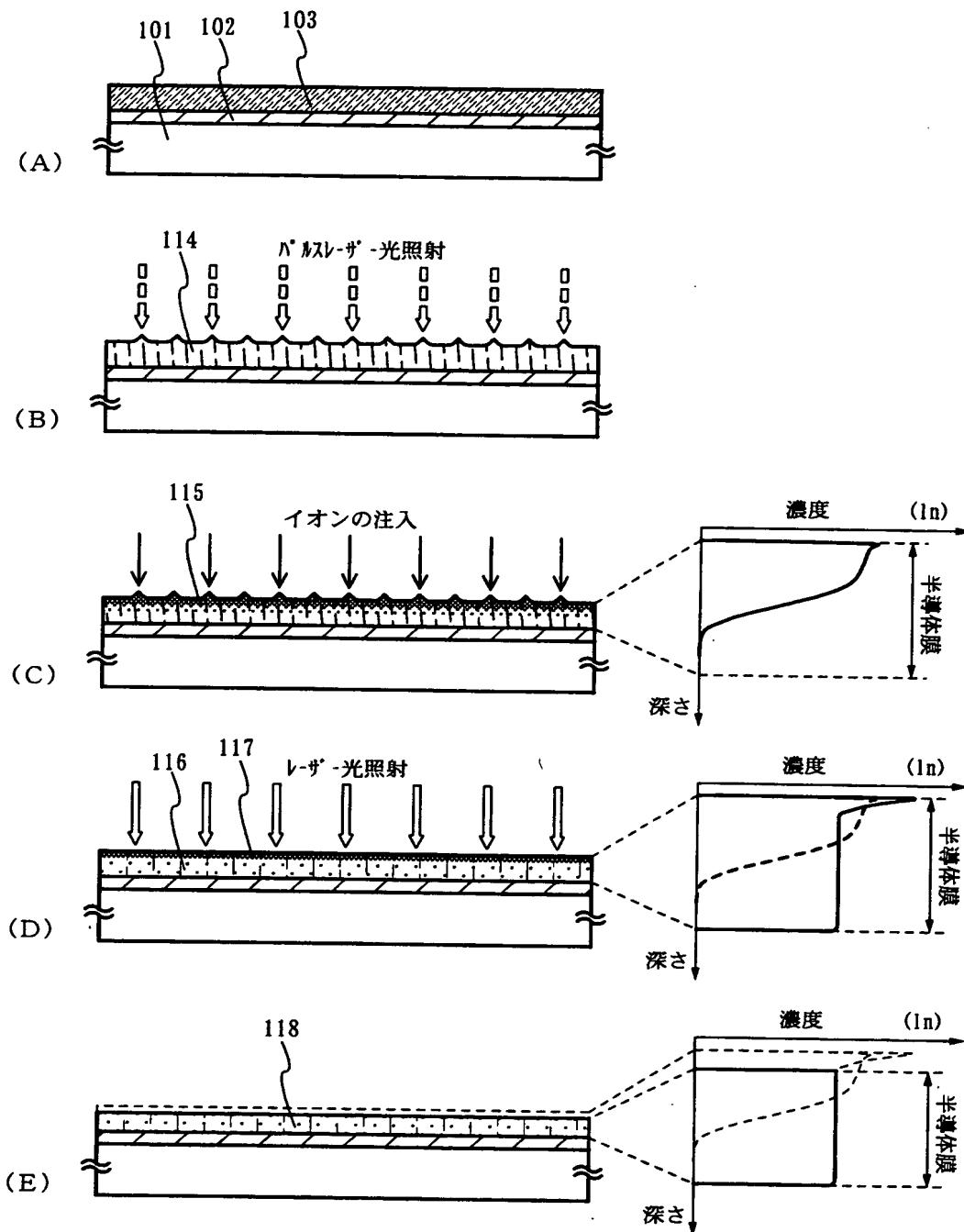
【図7】



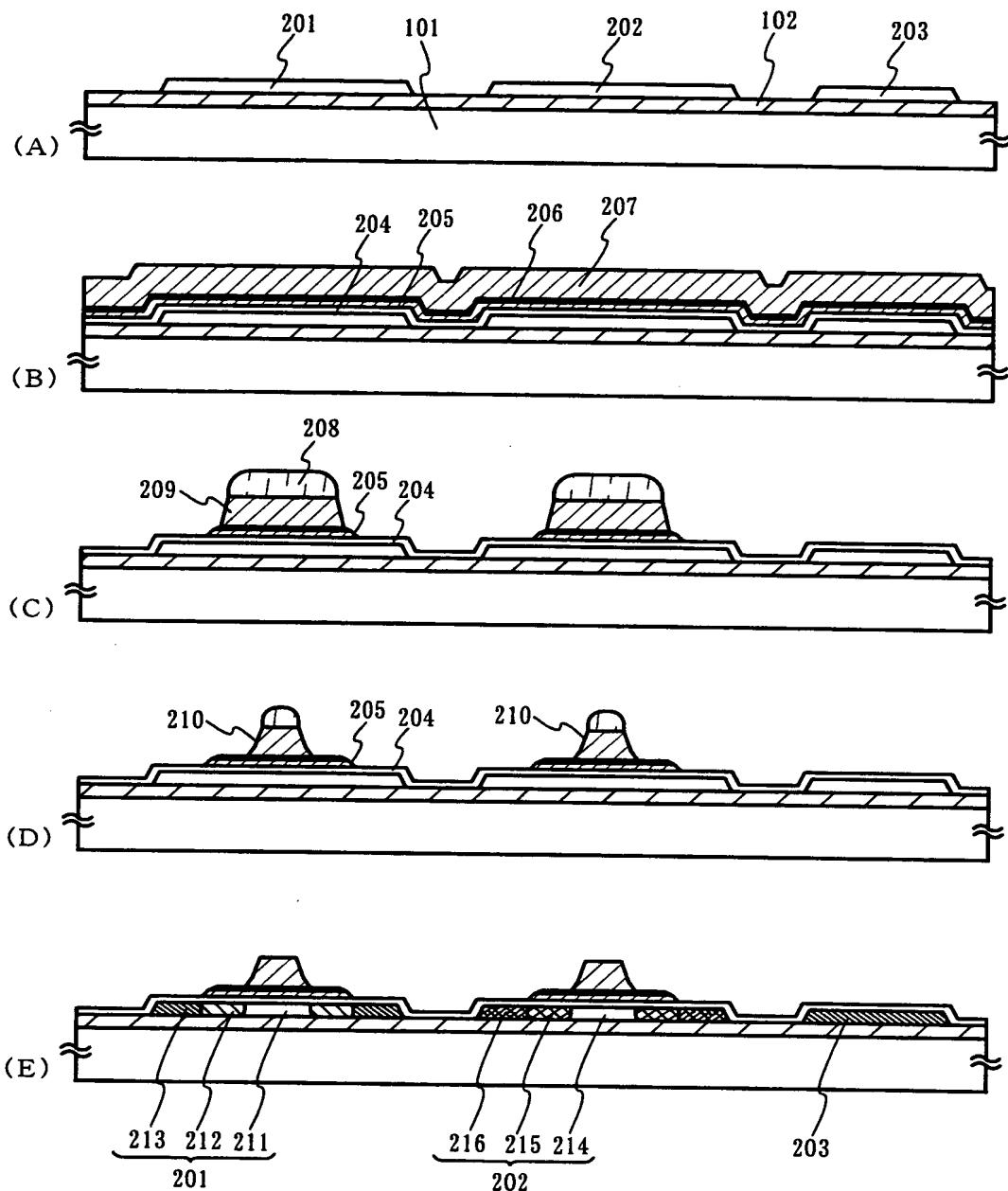
【図8】



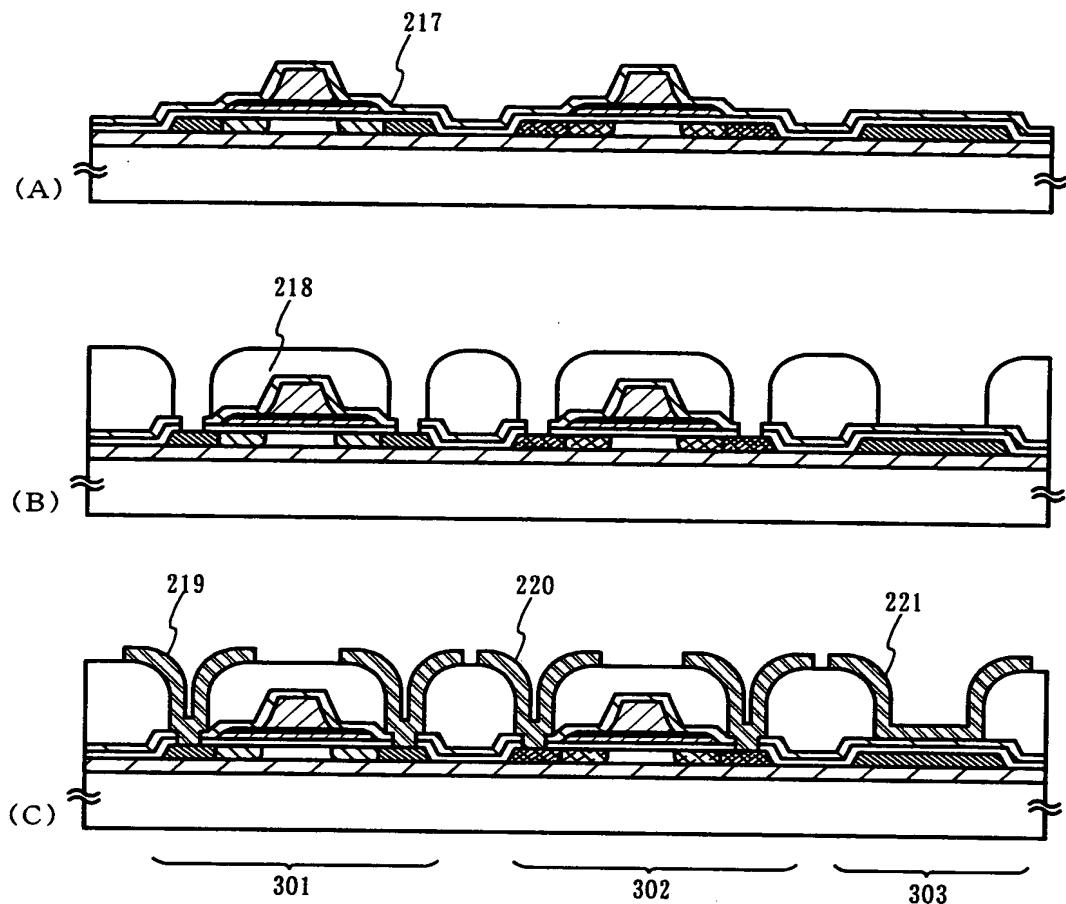
【図9】



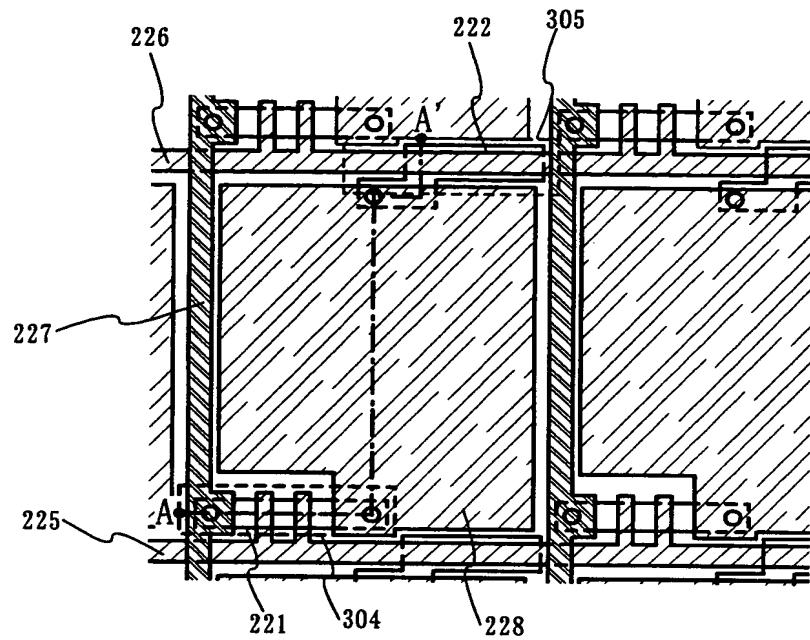
【図10】



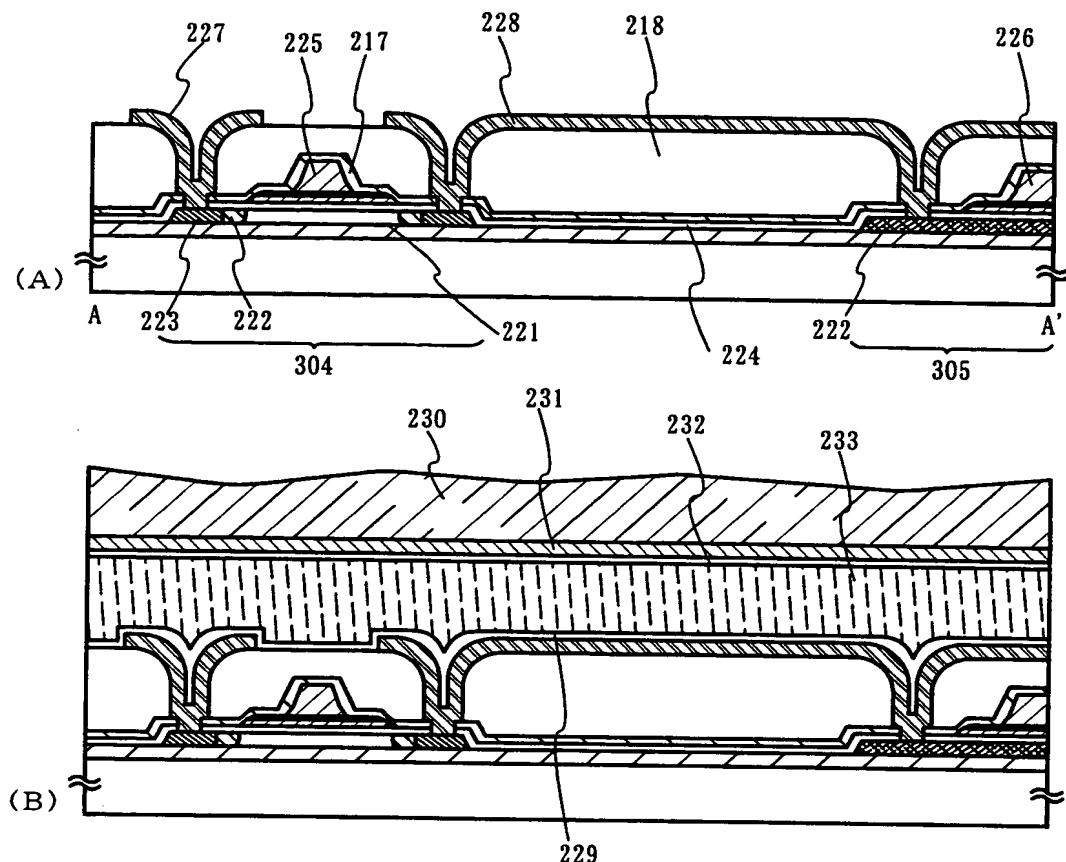
【図11】



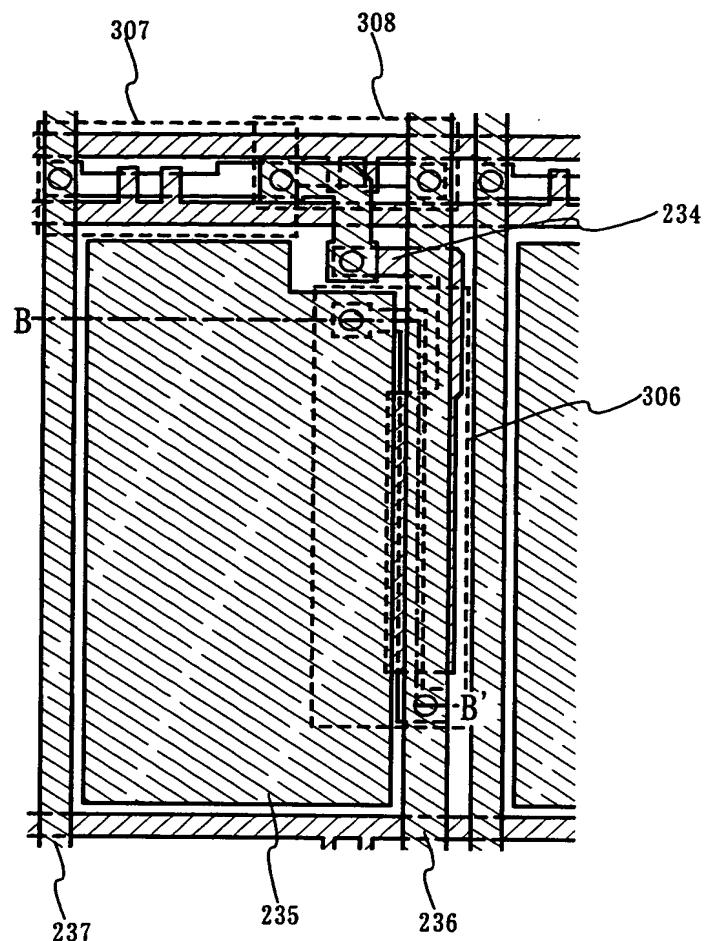
【図12】



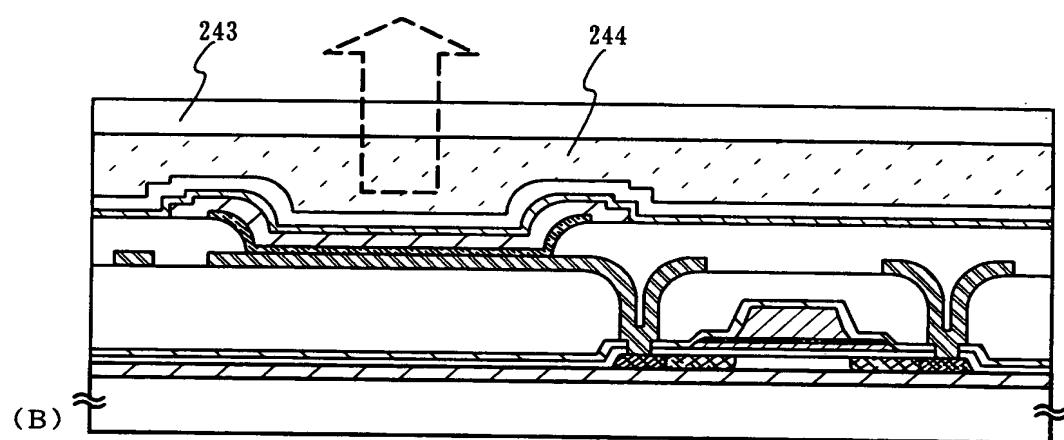
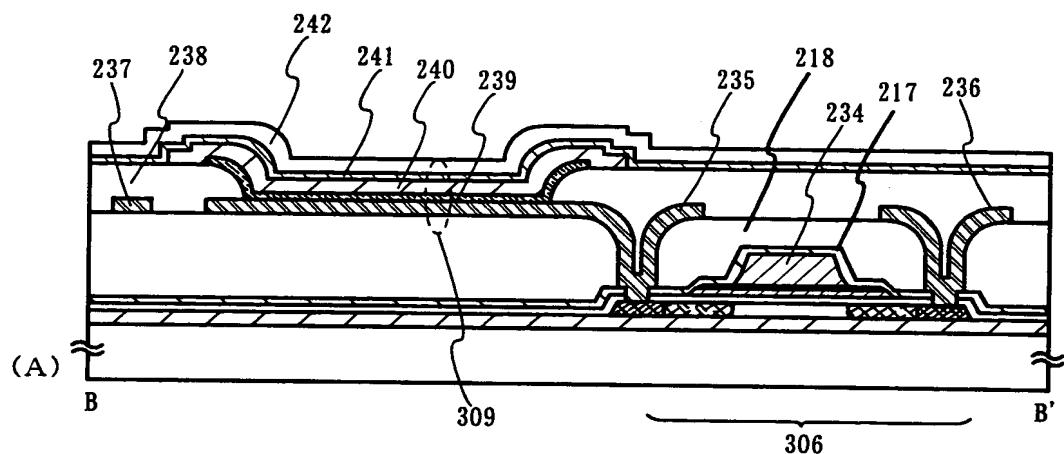
【図13】



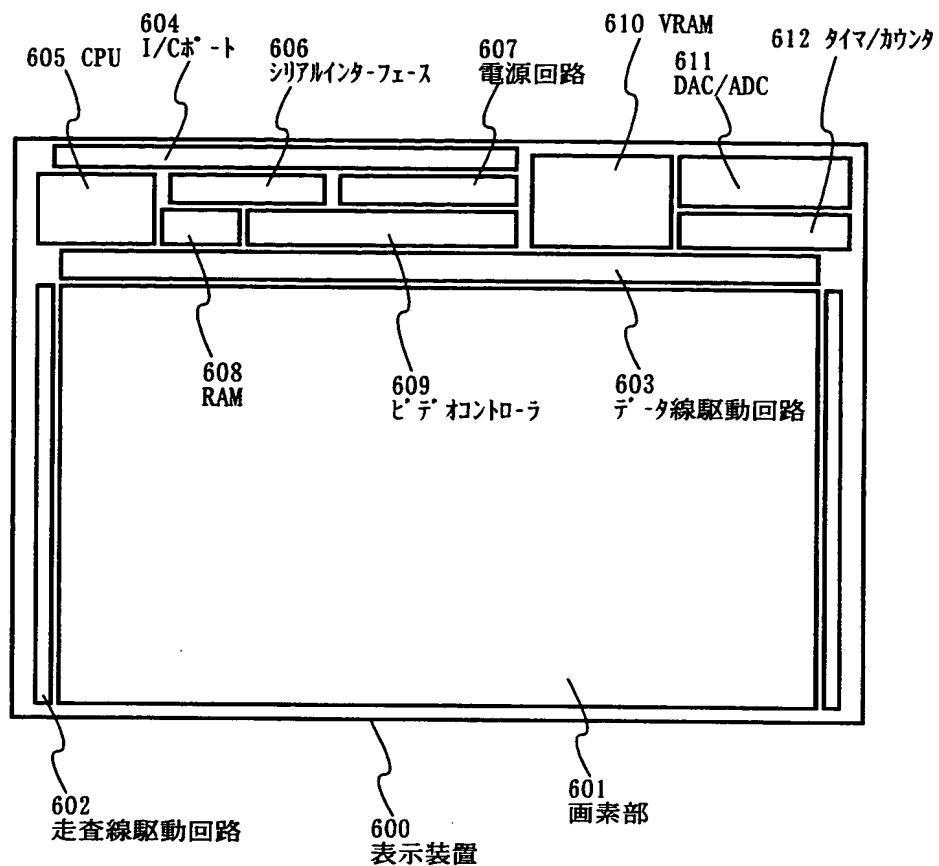
【図14】



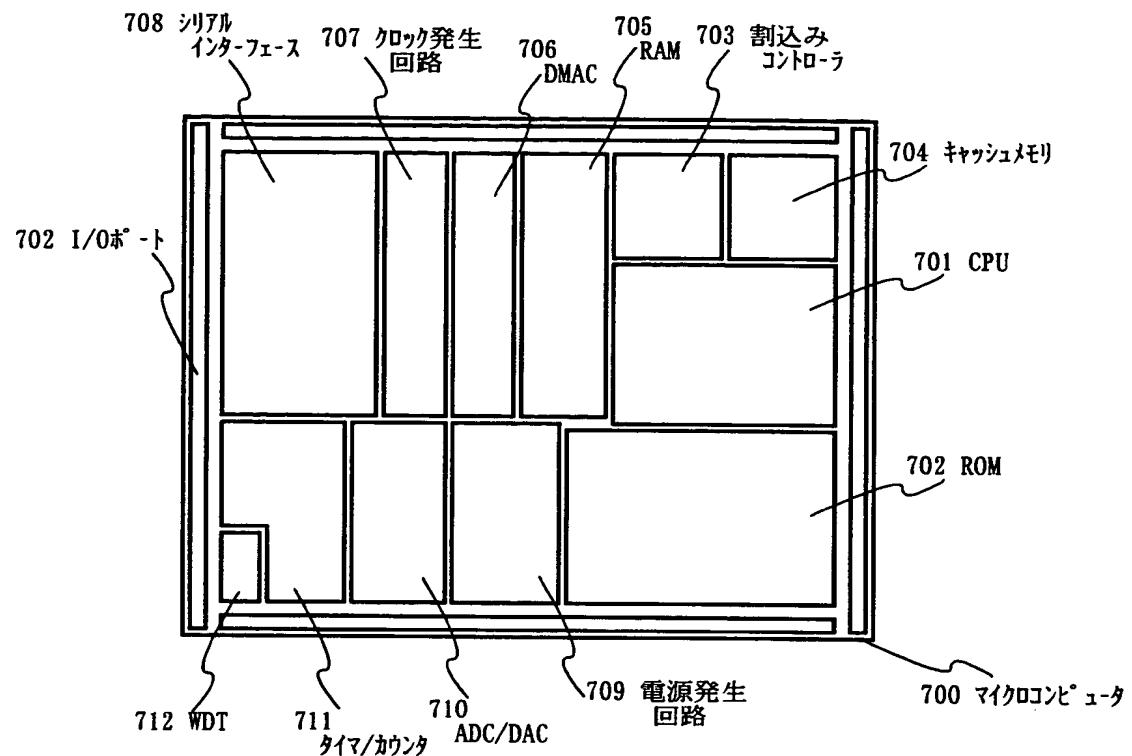
【図15】



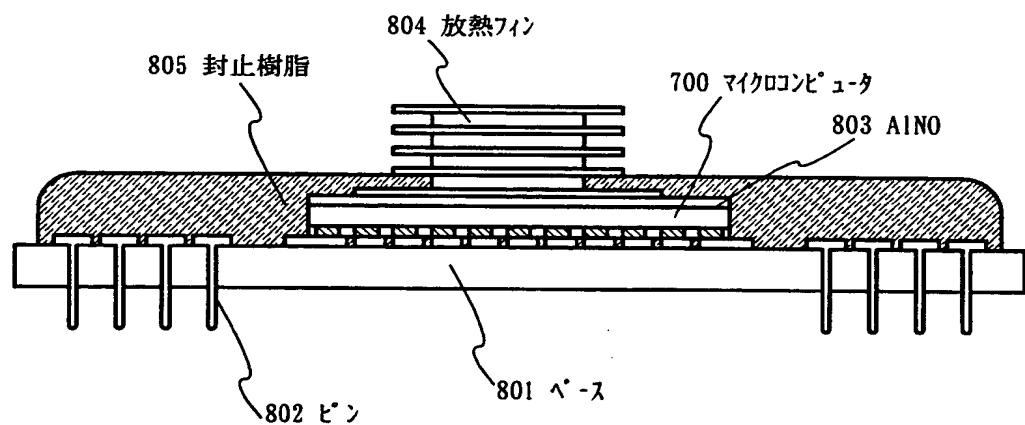
【図16】



【図17】



【図18】



【書類名】 要約書

【要約】

【課題】 半導体層の空乏層を広げるために反対の導電型であるアクセプタ不純物をドーピングすれば電気的に中性化することができるが、特に深い領域にアクセプタイオンを注入するには高加速電圧で注入する必要がありそれに伴って結晶を壊して結晶性を低下させてしまうことが問題となっている。

【解決手段】 一導電型不純物をイオン化し電界で加速して注入し、その表面近傍に高濃度不純物領域領域を形成した後、連続発振レーザー光を照射して溶融させ、結晶化または再結晶化する過程で当該不純物の濃度が半導体層中において一定となる領域を形成する。連続発振レーザー光の照射に伴い、半導体層は非晶質相から結晶質相に変化しても良く、いずれにしても不純物元素の再分布という反応を伴うことが必要である。この過程で不純物が膜表面に偏析して高濃度領域が新たに形成されるが、その領域は除去すれば良い。

【選択図】 図1

出願人履歴情報

識別番号 [000153878]

1. 変更年月日 1990年 8月17日

[変更理由] 新規登録

住 所 神奈川県厚木市長谷398番地
氏 名 株式会社半導体エネルギー研究所